

高電圧高容量バッテリー・システム向けの低コストの isoSPI 結合回路

Jon Munson

LTC6804 バッテリー・スタック・モニタに組み込まれている isoSPI™ 機能は、LTC6820 の isoSPI 通信インタフェースと組み合わせることで、絶縁障壁を越える安全で信頼性の高い情報伝達を可能にします。isoSPI は特に、人体への危険を最小限に抑えるために完全な絶縁層分離を必要とする、直列セルから数百 V を取り出すエネルギー貯蔵システムで有益です。

isoSPI の代表的応用例 (図 1) のパルス・トランスは、絶縁層分離を備えており、配線の影響が発生する可能性のある同相干渉を排除します。isoSPI 機能は、すぐに使用可能で低コストのイーサネット LAN 用トランスで動作します。これらのトランスには通常、同相ライン・ノイズを改善する同相チョーク・セクション (図 1)、一般的な 100Ω ライン終端抵抗、および同相デカップリング・コンデンサが含まれます。

イーサネットおよびゲート・ドライバのタイプを含む通常の信号トランスの巻線にはエナメル被覆線が使用されており、ピンホール大の絶縁欠

陥がある場合があります。この欠陥は導線を大気に曝すので、認定されるそのようなトランスについて巻線間バイアスが本質的に制限されます。このようなユニットは製造過程で高電位 (通常 1.5kV) を使用して試験され (「高電位選別」と呼ばれる)、全体的な絶縁問題が特定されず。これは、60V の長期間バイアスの安全設計マージンとして確立されています。これは、微小な腐食部分が巻線間に伝導路を形成するには 60V を超える電圧を必要とする傾向があるからです。

問題：高電圧 = 高コスト

400V 範囲のバッテリー・スタック電圧の場合、優れた設計方法は、強化 (2 倍) 絶縁をもつトランス、および 3750V 以上の高電位試験を指定することです。このようなトランスを見つけることは小型部品と同様に困難です。クリープ (表面距離) とクリアランス (空間距離) の寸法が必要であり、比較的高コストです。isoSPI は、最大 1kV のバッテリー・システムに適用されますが、このようなバッテリー・システムでは、安全な設計マージンを持つには 5kV で高電位試験を行ったトランスが必要です。この段階で、絶縁部品が大型で高コストになったり、パルスの忠実度が低下したりすることがあります。

解決策：分割により問題を解決

強化絶縁トランスを使用する方法に置き換わる方法の 1 つは、追加の絶縁をカップリング・コンデンサに移動することにより、電磁部品のバイアス要件を切り離すことです。コンデンサ単体は一見して、総合的な絶縁オプションのように思われますが、トランスが備えている同相除去や耐衝撃絶縁の特性をもたないので、実際には L-C 手法が最適です。この方法では、コンデンサは DC バイアスの公称値まで充電し、トランスに過渡を処理させます。この場合、通常のユニットも適切に使用できます。

カップリング・コンデンサは、高い値をもつ抵抗によりバイアスされます。この抵抗は通常、図 2 に示すように、トランスのセンタータップ接続部に接続されます。さらに、バイアス抵抗の DC 電流を監視する場合、絶縁破壊をフォルトとして検出可能です。抵抗には 10MΩ のような高い値が選択されるため、フォルト電流はトランスの良好な配線の定格範囲内にあり、人体への感電の危険が最小限に抑えられます。

図 1. 一般化した isoSPI ポイント・ツー・ポイント・リンク

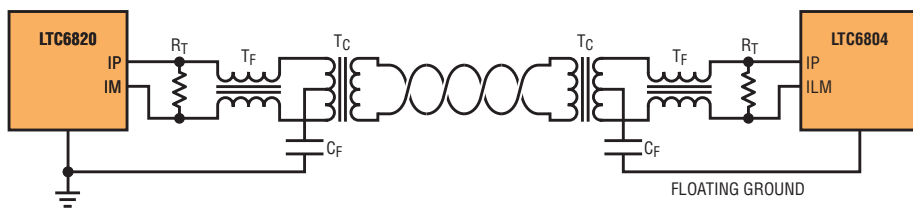
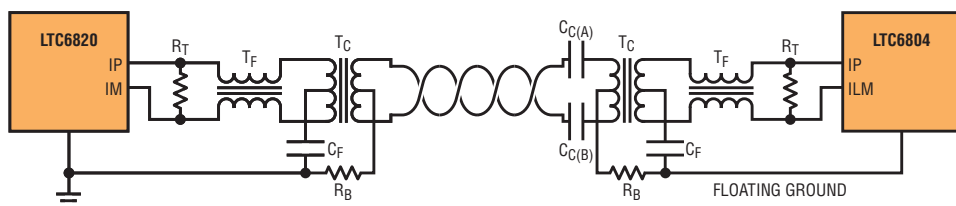


図 2. 高電圧用の AC カップリング isoSPI ポイント・ツー・ポイント・リンク



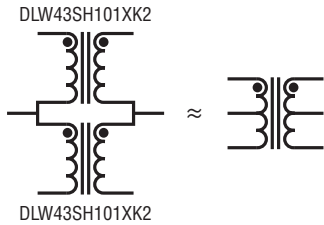


図3. 2つの同相チョークをセンタータップ付きのisoSPIトランスとして使用

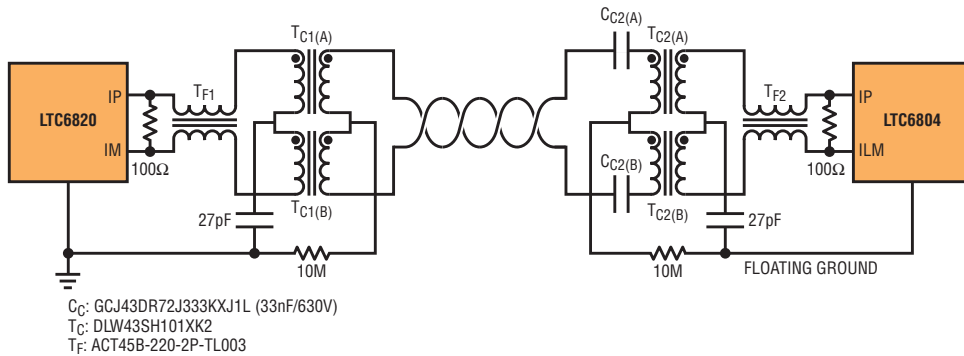


図4. 高電圧 isoSPI ポイント・ツー・ポイント・リンクの全体図

トランスの磁気設計から高電圧要件を取り除いたことにより、比較的 low コストの多数のオプションを使用できます。その1つは単純に、認証済みイーサネット・トランスを適切に使用することです。もう1つの方法は、他のすぐに使用できる低プロファイルの磁性製品を使用して、部品の高さと重量を低減し、はんだ接続の疲労問題を減少することです。これらは、他の部品と同様に、表面実装自動組み立て方法で取り付けことができ、製造コストが低減されます。これらの機能をもつ優れた候補は、個別同相チョーク (CMC) というトランス構造で、通常はフィルタ要素と

して使用されています。このような部品は最大 100 μ H で使用可能であり、車載システムでの使用が承認されているので、isoSPI の構成でも推奨されます。

適切な CMC は低コストです。これらの CMC は、チップサイズのフェライト上に機械巻の配線ペアを配置した形状として、短時間で簡単に製造できます。isoSPI の設計には、長いパルス波形を効果的に流すためにある程度高いインダクタンスが必要ですが、直列の巻線をもち 200 μ H を発生するチョークを2つ使用して、適切なインダクタンスを達成できます。この設計の他の利点

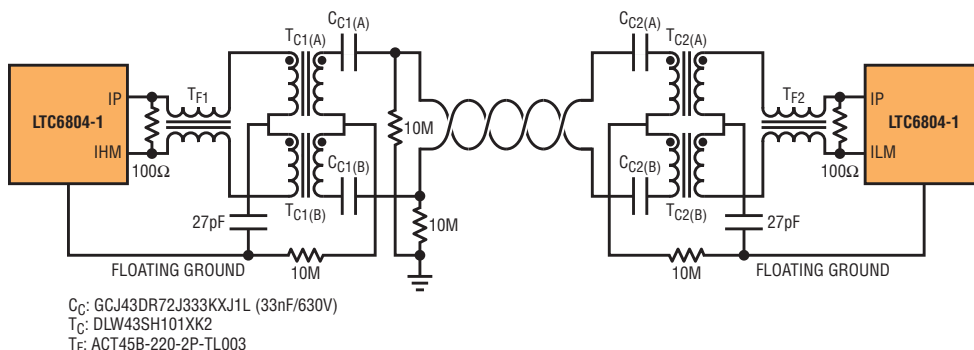
として、仮想センタータップ接続が形成されることがあります。この接続は、同相バイアスおよびデカップリング機能に有益です。

図3に、2つの CMC で実現される同等のトランス・モデルを示します。図示のチョークは 1812 SMT の実装面積とバイファイラ巻き (製造時に配線をペアにする) をもつので、1次と2次が密接に一致します。これにより、漏れインダクタンスが最小になり、高周波数性能が維持されます。物理的に巻線が分離されているタイプは、過剰な漏れインダクタンスによりパルスの忠実度が低下します。図に示すユニットは、50V DC 連続定格です。

設計図の完成

図4に、L-C手法を使用し、トランスとして CMC を使用した全体の回路を示します。一般的な isoSPI のアプリケーションには、役に立つ CMC フィルタ処理セクションが含まれているので (標準の LAN 部品の場合に内蔵)、この回路にはその機能を保持するための推奨離散部品が含まれます。カップリング・コンデンサは高品質の 10nF~33nF の部品で、実装面積は 1812 です (定格 630V または 1kV)。ここで、シャーシがグランド電位で LTC6820 が動作していると仮定すると、ツイスト・ペアのバイアスは安全レベルです。

図5. 絶縁配線をもつ高電圧のデジジー・チェーン isoSPI リンク



デジジー・チェーン接続された LTC6804-1 モジュール間のリンク内にある場合のように、ツイスト・ペアの両端がフロート電位である場合、図5に示すように、リンクの両端にコンデンサを使用し、各ラインに高い値の抵抗を接続して、ツイスト・ペア自体を接地電位にバイアスできます。この場合、コンデンサは直列なので、22nF 以上を推奨します (33nF/630V タイプを図示)。

高電圧 isoSPI システムのコストへの影響を緩和するために、ACカップリング方法を使用して、磁気部品の2倍の絶縁要件を解消します。特殊トロイダル・トランスの磁気部品を低コストのポビン巻同相チョーク (CMC) 部品に置き換えることで、コストをさらに削減できます。コンデンサとCMCは両方とも、比較的lowプロファイルの表面実装チップ部品です。

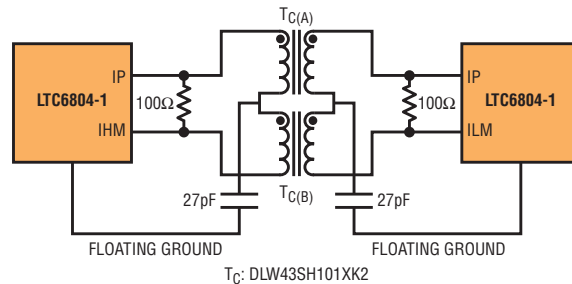


図6. 同一基板上の相互接続用デジー・チェーンisoSPIリンク

同一基板上にデジー・チェーン接続されたLTC6804-1の間にあるリンクでは、電位が通常50V未満なので、コンデンサのカップリングは不要です。通常は、トランス・セクションが1つのみ必要ですが(図6)、これは、通常は、ケーブルなしで流入するノイズが非常に小さいためです。

高電圧のレイアウト

フロント回路のレイアウトでは、メインの絶縁障壁、つまりコンデンサの両端に広い絶縁空間が必要です。図7に、良好な高電圧性能が得られ

る配置例を示します。青の領域はそれぞれ、フレーム・グラウンド(左側、ツイスト・ペア・コネクタ付き)とIC同相(右側)を表します。

トランスはHVの過渡電位に耐える必要があるため、サイズが1206のバイアス抵抗を使用して、間隔も維持します。HFデカップリング・コンデンサとインピーダンス終端抵抗には、小型部品を使用できます(0602のサイズを図示)。

HV障壁の両端での漏れ電流を防止するもう1つの優れた方法は、HV部品(グラウンド間の「ギャップ」の上にある部品)の領域内で半田

マスクの使用を少なくすることです。これにより、部品の下にある残留フラックスを効果的に洗浄でき、多孔性の半田マスク層に水分が残ることを防止します。

isoSPIバスに関する特別な検討事項

前述の各回路はポイント・ツー・ポイントのisoSPIリンクに適用されますが、高電圧ソリューションを提供する重要な事例の1つは、バス接続され、アドレス指定可能なLTC6804-2です。これは、図8に示すように、ツイスト・ペアのリンクが各「タップ」接続を通過しています。バスの

図7. isoSPIインタフェースでの高電圧性能を目的としたプリント回路レイアウトの提案

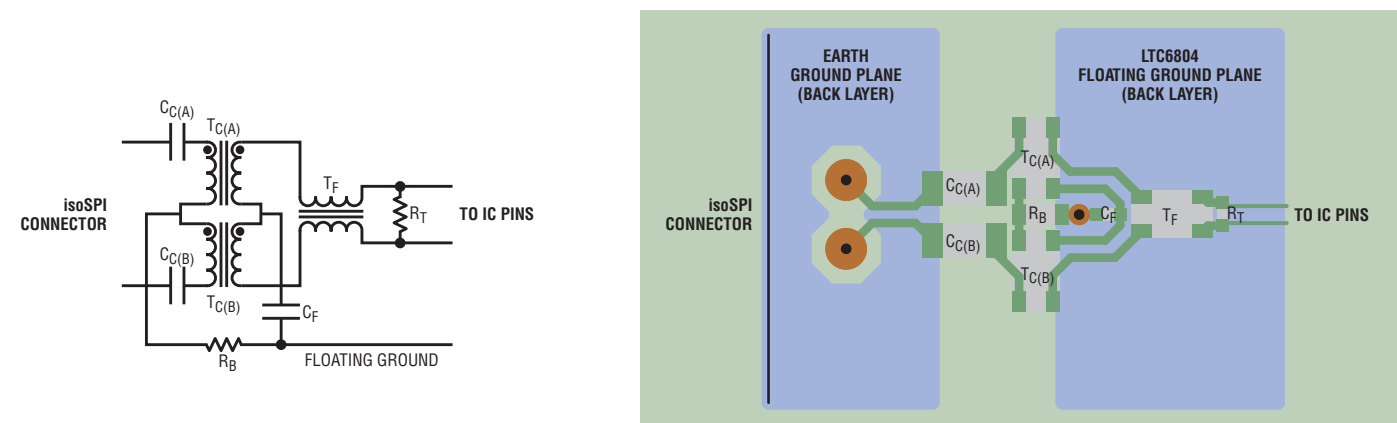


図8. エコー制御付き高電圧 isoSPIバスの全体図

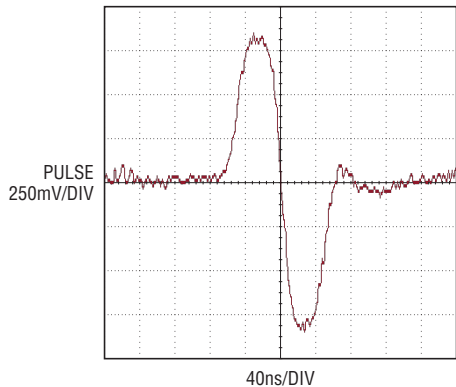
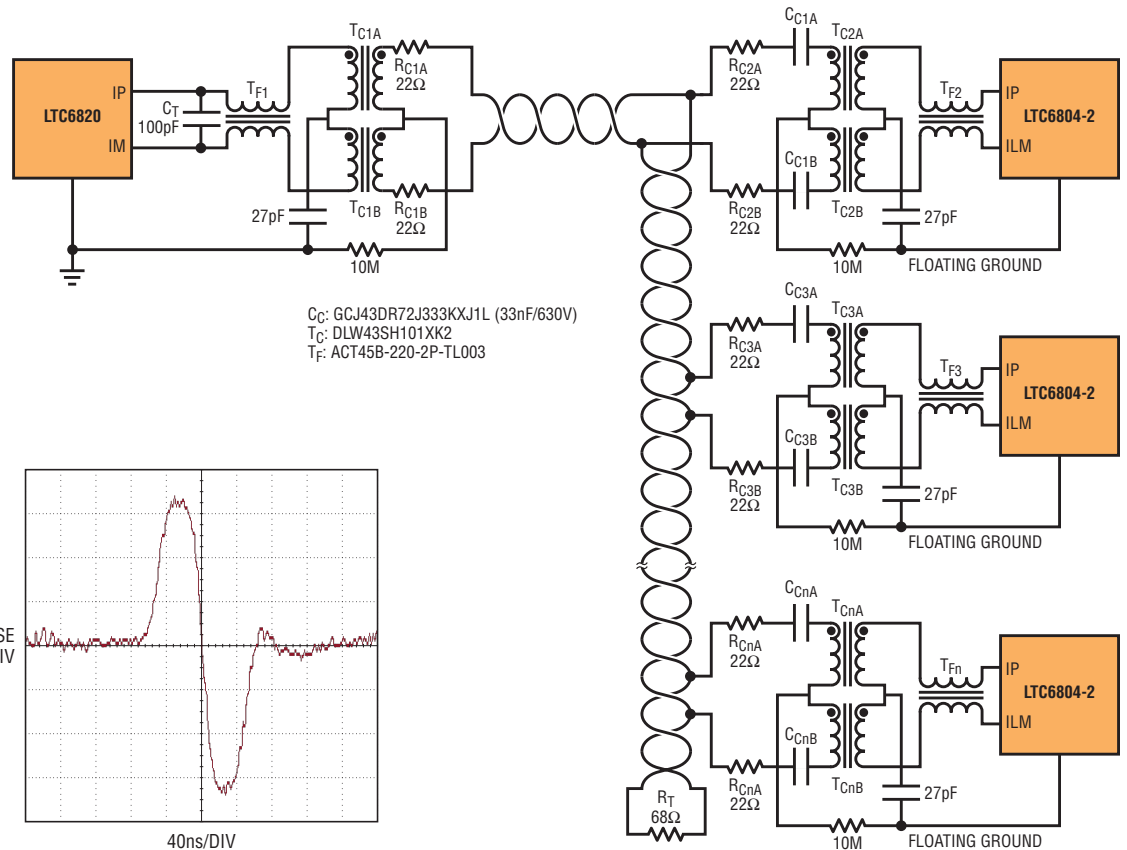


図9. isoSPIバスのアプリケーションでエコー制御用に修正したパルス形状

アプリケーションでは、各トランスに高電圧の要件を課しています。これは、同じツイスト・ペアの電位とフロートのセル・スタックの任意の電圧とのインタフェースをとる必要があるからです。

絶縁を追加するためにCMCとACカップリング・コンデンサを使用することは、前述の回路と同様ですが、ネットワーク内の物理的な位置とは無関係に、通信デバイスの反射強度を低減し、一貫した波形を提供するために、少し異なる結合回路を提案します。3つの異なる点があります。

- LTC6820の終端を100pFコンデンサ(C_T)に変更する。
- 遠い側の終端のみを通電バス(R_T)に適用し、68Ωに設定する(いずれのLTC6804-2でも終端なし)。
- 浮遊容量負荷をデカップリングするために、すべてのバス接続に22Ωのカップリング抵抗(R_C)を使用する。

これらを図8の回路に示します。繰り返しますが、この回路では、LTC6820が安全な接地電位で動作することを前提にしています。変更された波形は反射からの歪みを制御するために帯域が制限されているので、ICピンで受信するパルスは図9に示すように丸くなっています。しかし、isoSPIのパルス識別回路がこのフィルタ処理された形状に良好に機能し、16個すべてのアドレスをもつバスをサポートします。最適な動作を得るためには、システム内で発生する実際の損失に合わせて、パルス検出しきい値を下げる必要がある場合があります(しきい値を作動信号のピーク値の40%~50%に設定する)。

アドレスが5個以下のネットワークでは、反射は通常大きな問題ではないため、標準の抵抗をもつ終端を保持できます(図8の C_{TERM} と R_{TERM} の位置に100Ωの抵抗があり、 R_C を省略する)。

まとめ

高電圧 isoSPIシステムのコストへの影響を緩和するために、ACカップリング方法を使用して、磁気部品の2倍の絶縁要件を解消します。特殊トロイダル・トランスの磁気部品を低コストのボビン巻同相チョーク(CMC)部品に置き換えることで、コストをさらに削減できます。コンデンサとCMCは両方とも、比較的lowプロファイルの表面実装チップ部品であり、価格競争が激しく、信頼性の高い車載用に承認された部品が使用できます。ACカップリング用のバイアス抵抗は、システムの絶縁の保全性を監視する有効な手段です。■